



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kenichi TOKANO, et al.

GAU: 2811

SERIAL NO: 10/804,018

EXAMINER:

FILED: March 19, 2004

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☒ Full benefit of the filing date of U.S. Application Serial Number PCT/JP02/03216, filed March 29, 2002, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
- | <u>Application No.</u> | <u>Date Filed</u> |
|--|-------------------|
| <input checked="" type="checkbox"/> Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below. | |

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

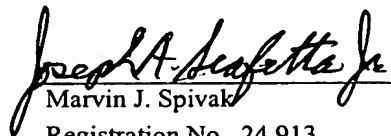
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2001-285472	September 19, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 1 年 9 月 1 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 1 - 2 8 5 4 7 2
Application Number:
[ST. 10/C]: [J P 2 0 0 1 - 2 8 5 4 7 2]

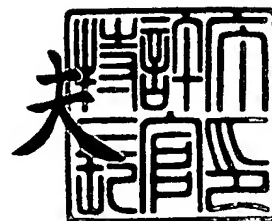
出 願 人 株式会社東芝
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 4 年 3 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000006085

【提出日】 平成13年 9月19日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 22

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 都鹿野 健一

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 斉藤 芳彦

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 上月 繁雄

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 碓氷 康典

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 泉沢 優

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 河野 孝弘

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【先の出願に基づく優先権主張】

【出願番号】 特願2000-290935

【出願日】 平成12年 9月25日

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705037

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】

第 1 導電型半導体基板と、

この第 1 導電型半導体基板を第 1 導電型ドレイン層とする縦型のパワー MOS FET と、

このパワー MOS FET を他の素子と分離する、前記第 1 導電型半導体基板上に形成された分離部材とを具備してなり、

前記パワー MOS FET は、

前記第 1 導電型半導体基板の主面上に選択的に形成された、3 つの半導体層からなる半導体構造であって、前記 3 つの半導体層が、第 2 導電型半導体層と、この第 2 導電型半導体層の側面を挟むように形成された 2 つの第 1 導電型半導体層とからなり、かつ前記第 2 導電型半導体層と前記第 1 導電型半導体層との p n 接合面が前記第 1 導電型半導体基板の主面に対してほぼ垂直である半導体構造と、

前記第 2 導電型半導体層の上部表面に形成された、前記第 2 導電型半導体層よりも高不純物濃度の第 2 導電型ベース層と、

この第 2 導電型ベース層の表面に選択的に形成された第 1 導電型ソース層と、

この第 1 導電型ソース拡散層と前記第 1 導電型半導体層とで挟まれた前記第 2 導電型ベース層上に形成されたゲート絶縁膜と、

このゲート絶縁膜上に形成されたゲート電極とを含むことを特徴とする半導体装置。

【請求項 2】

前記第 1 導電型半導体層中の第 1 導電型不純物の濃度は $3 \sim 1.8 \times 10^{15}$ (atoms/cm³)、前記第 2 導電型半導体層中の第 2 導電型不純物の濃度は $0.2 \sim 8 \times 10^{15}$ (atoms/cm³) であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 導電型半導体層中の第 1 導電型不純物は砒素、前記第 2 導電型半導体

層中の第2導電型不純物はボロンであることを特徴とする請求項1に記載の半導体装置。

【請求項4】

前記第2導電型半導体層中の第2導電型不純物の総量をA、前記第2導電型半導体層の両側を挟む前記2つの第1導電型半導体層中の第1導電型不純物の総量をBとした場合に、 $100 \times |A - B| / B \leq 5$ の不等式を満たすことを特徴とする請求項1に記載の半導体装置。

【請求項5】

前記第1導電型半導体層の上部表面に、前記第1導電型半導体層よりも高不純物濃度の第1導電型拡散層が形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項6】

前記第1導電型拡散層中の第1導電型不純物の濃度と第1導電型ソース拡散層中の第1導電型不純物の濃度とがほぼ同じであることを特徴とする請求項5に記載の半導体装置。

【請求項7】

前記分離部材は、前記第1導電型半導体基板上に形成された半導体層と、この半導体層の底面、側面および上面を覆う絶縁膜とからなることを特徴とする請求項1に記載の半導体装置。

【請求項8】

前記分離部材は、前記第1導電型半導体基板上に形成された半導体層と、この半導体層の底面および側面を覆う絶縁膜とからなることを特徴とする請求項1に記載の半導体装置。

【請求項9】

前記第1導電型半導体基板を共通の第1導電型ドレイン層として、前記パワーMOSFETが複数形成され、

前記第1導電型半導体基板の終端部上の第1導電型または第2導電型半導体層が、前記第1導電型半導体基板上に形成された絶縁膜を介して、前記終端部に最も近い前記パワーMOSFETに接続してなる終端構造をさらに備えていること

を特徴とする請求項 1 ないし 8 のいずれか 1 項に記載の半導体装置。

【請求項 10】

前記第 1 導電型半導体基板を共通の第 1 導電型ドレイン層として、前記パワー MOSFET が複数形成され、

これらの複数のパワー MOSFET を含む素子領域のコーナー部が円状または多角形状に形成されていることを特徴とする請求項 1 ないし 8 のいずれか 1 項に記載の半導体装置。

【請求項 11】

前記素子領域に接した前記分離部材のコーナー部も円状または多角形状に形成されていることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】

前記第 1 導電型半導体基板を共通の第 1 導電型ドレイン層として、前記パワー MOSFET が複数形成され、

これらの複数のパワー MOSFET を含む素子領域の周辺部に、前記複数のパワー MOSFET のゲート電極に対する第 1 のゲート配線が設けられ、

前記素子領域の周辺部から前記素子領域の内部に向かって延びた、前記複数のパワー MOSFET のゲート電極に対する第 2 のゲート配線が、前記第 1 のゲート配線に接続されていることを特徴とする請求項 1 ないし 8 のいずれか 1 項に記載の半導体装置。

【請求項 13】

前記第 2 のゲート配線下の前記素子領域内には、前記パワー MOSFET が存在しないことを特徴とする請求項 12 に記載の半導体装置。

【請求項 14】

前記第 2 のゲート配線下の前記素子領域内には、前記分離部材によって前記パワー MOSFET と物理的に分離された前記半導体構造が形成されていることを特徴とする請求項 13 に記載の半導体装置。

【請求項 15】

前記第 1 導電型半導体基板を共通の第 1 導電型ドレイン層として、前記パワー MOSFET が複数形成され、

前記複数のパワーMOSFETを含む素子領域に対する終端部領域が、前記分離部材によって前記素子領域と分離され、

前記分離部材の前記終端部領域側の側面に前記第1導電型半導体層、前記第2導電型半導体層がさらに順次形成され、

前記複数のパワーMOSFETの第1導電型ソース拡散層のそれぞれにコンタクトするソース電極が形成され、

このソース電極の前記終端部領域側の端部と、前記分離部材の前記終端部領域側の側面にさらに形成された、前記第1導電型半導体層の前記終端部領域側の端部との間の距離が、 $10\mu\text{m}$ 以上であることを特徴とする請求項1ないし8のいずれか1項に記載の半導体装置。

【請求項16】

前記終端部領域上にゲート配線構造が形成されていることを特徴とする請求項15に記載の半導体装置。

【請求項17】

高不純物濃度の第1導電型半導体基板上に、低不純物濃度の第1導電型エピタキシャル半導体層を成長させる工程と、

この第1導電型エピタキシャル半導体層に前記第1導電型半導体基板に達する複数のトレンチを開口する工程と、

イオン注入法を用いて前記トレンチの側面に第1導電型不純物およびそれよりも拡散係数の小さい第2導電型不純物を注入し、拡散係数の違いを利用して前記トレンチで挟まれた領域の前記第1導電型エピタキシャル層を、第2導電型半導体層と、この第2導電型半導体層の側面を挟むように形成された2つの第1導電型半導体層とからなり、かつ前記第2導電型半導体層と前記第1導電型半導体層とのpn接合面が前記第1導電型半導体基板の主面に対してほぼ垂直である半導体構造に変える工程と、

前記トレンチの少なくとも底面および側面に第1の絶縁膜を形成する工程と、

前記第2導電型半導体層の上部表面に、前記第2導電型半導体層よりも高不純物濃度の第2導電型ベース層を形成する工程と、

この第2導電型ベース層の表面に第1導電型ソース層を選択的に形成する工程

と、

この第1導電型ソース拡散層と前記第1導電型半導体層とで挟まれた前記第2導電型ベース層上にゲート絶縁膜およびゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項18】

前記第1導電型不純物として砒素、前記第2導電型不純物としてボロンを使用することを特徴とする請求項17に記載の半導体装置の製造方法。

【請求項19】

前記第1導電型エピタキシャル半導体層中の第1導電型不純物の濃度を $5 \times 10^{13} \sim 3 \times 10^{14}$ (atoms/cm³)、前記第1導電型半導体層中の第1導電型不純物の濃度を $3 \sim 8 \times 10^{15}$ (atoms/cm³)、前記第2導電型半導体層中の第2導電型不純物の濃度を $0.2 \sim 8 \times 10^{15}$ (atoms/cm³) に設定することを特徴とする請求項17に記載の半導体装置の製造方法。

【請求項20】

前記トレンチの内部を前記第1の絶縁膜を介して半導体層により埋め込むことを特徴とする請求項17に記載の半導体装置の製造方法。

【請求項21】

前記第1導電型エピタキシャル半導体層の表面に前記第1の絶縁膜とは材料が異なる第2の絶縁膜を形成した後、前記第2の絶縁膜および前記前記第1導電型エピタキシャル半導体層をエッチングして前記トレンチを開口し、その後前記第1の絶縁膜を形成することで、前記トレンチの内部に前記半導体膜を優先的に成長させることを特徴とする請求項20に記載の半導体装置の製造方法。

【請求項22】

前記トレンチの内部を前記第1の絶縁膜を介して前記トレンチの途中の深さまで半導体層により埋め込んだ後、前記トレンチの未充填部分を第3の絶縁膜で埋め込むことを特徴とする請求項17に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に係わり、特にパワーMOSFETを備えた半導体装置およびその製造方法の改良に関する。

【0002】

【従来の技術】

図21に、従来の代表的なパワーMOSFETの断面図を示す。図中、81は n^+ 型ドレイン層としての高不純物濃度の n^+ 型Si基板を示しており、この n^+ 型Si基板81上には低不純物濃度の n^- 型エピタキシャルSi層82が形成されている。

【0003】

この n^- 型エピタキシャルSi層82の表面にはp型ベース層83が選択的に形成され、さらにこのp型ベース層83の表面には高不純物濃度の n^+ 型ソース拡散層84が選択的に形成されている。

【0004】

この n^+ 型ソース拡散層84と n^- 型エピタキシャルSi層82とで挟まれたp型ベース層83上にはゲート絶縁膜85を介してゲート電極86が設けられている。

【0005】

この種のパワーMOSFET、すなわちプレーナ型のパワーMOSFETにおいては、 n^+ 型Si基板81の裏面から n^- 型エピタキシャルSi層82を介してMOSデバイスへの電流経路をとっているため、デバイスオン時の抵抗（オン抵抗）は n^- 型エピタキシャルSi層82の厚さ（エピ厚）に依存する。

【0006】

また、空乏層は n^- 型エピタキシャルSi層82内を伸びるために、耐圧維持はエピ厚で決まる。オン抵抗および耐圧の代表的な値はそれぞれ1.52 (Ω) および746 (V) である。

【0007】

このように図21に示した従来のパワーMOSFETは、電流経路と耐圧を維持する領域が同一であるため、高耐圧化のためにエピ厚をとるとオン抵抗が上がり、逆にエピ厚を薄くしてオン抵抗を下げると耐圧も下がるという、相反する関

係が存在しており、両者を満足させることは困難であった。

【0008】

特に、200V以上のドレインソース間逆方向耐圧を確保する場合には、 n -型エピタキシャルSi層82を高抵抗化する必要があるために、 n -型エピタキシャルSi層82の抵抗 R_{Epi} が増大し、オン抵抗の低減には限界があった。なお、抵抗 R_{ch} 、抵抗 R_{JFET} はそれぞれチャンネル抵抗、接合FET抵抗である。

【0009】

しかし最近になり、これらを満足させるようなSuper Junction構造と呼ばれる新構造のパワーMOSFETが提案されている。図22に新構造のパワーMOSFETの断面図を示す。なお、図21と対応する部分には図21と同一符号を付してあり、詳細な説明は省略する。

【0010】

このパワーMOSFETはプレーナ型ではあるが、MOSの中央に n -型エピタキシャルSi層82よりも高不純物濃度の n 型エピタキシャルSi層87(871~876)およびその両側に p 型ピラー層88があり、この p 型ピラー層88は p 型ベース層83につながる構造をとっている。すなわち、電流経路と耐圧を維持するところを分けた構造になっている。

【0011】

このような構成であれば、主電流は n 型エピタキシャルSi層87を通るためにオン抵抗は n 型エピタキシャルSi層87の不純物濃度に依存し、一方、耐圧維持は横方向へ空乏層を伸ばすために n 型エピタキシャルSi層87および p 型ピラー層88のそれぞれの不純物濃度および幅で決まるため、低オン抵抗化および高耐圧化の両立が可能となる。低オン抵抗化に関しては、例えば600V系の場合であれば、図21のプレーナ型素子の1/3以下にできる。

【0012】

しかしながら、従来のSuper Junction構造のパワーMOSFETには以下のような欠点があった。

【0013】

すなわち、図22に示した新構造を形成するためには、図23に示すように、

薄い n- 型エピタキシャル Si 層 82 の成長、n 型不純物としての砒素 (As) のイオン注入、p 型不純物注入用のマスク 90 の形成、p 型不純物としてのボロン (B) のイオン注入からなる一連の工程を繰り返す必要がある。

【0014】

具体的には、600V 系の素子では、n 型エピタキシャル Si 層 87 の厚さは $50\mu\text{m}$ 程度、n- 型エピタキシャル Si 層 82 の厚さは $8.3\mu\text{m}$ 程度であるため、上記一連の工程を 5 回または 6 回行う必要がある。

【0015】

この場合、5 回または 6 回のエピタキシャル成長工程、10 回または 12 回のマスク形成工程、10 回または 12 回のイオン注入工程が必要となる。その後、アニールを行って、イオン注入した n 型および p 型不純物を活性化し、n 型エピタキシャル Si 層 87、p 型ピラー層 88 が完成する。

【0016】

このように従来の Super Junction 構造のパワー MOSFET を作製するためには、プレーナ型のパワー MOSFET に比べて、工程数が大幅に増加し、その結果として製造価格が上昇するという欠点がある。具体的には、チップ価格的にはプレーナ型の大面積チップ（低オン抵抗タイプ）と同等になってしまう。

【0017】

さらに、上下の p 型層（図 23 (d) の B のイオン注入で形成される層）をつなげて p 型ピラー層 88 を形成するためには、イオン注入した B を少なくとも n- 型エピタキシャル Si 層 82 の厚さだけは、縦方向（厚さ方向）に拡散させる必要がある。

【0018】

このとき、B は横方向にも拡散する。そのため、素子のユニットセルの横方向の寸法（チャネル長方向の寸法）の微細化は、B の横方向拡散によって妨げられるという欠点がある。

【0019】

具体的には、600V 系で素子では、n 型エピタキシャル Si 層 89 の厚さは

5～8 μm 程度であるため、横方向拡散を考慮すると、素子のユニットセル幅は30 μm 程度となる。

【0020】

図24に、従来のSuper Junction構造のパワーMOSFETに用いられる終端構造を示す。図において、91はソース電極、92は絶縁膜をそれぞれ示している。

【0021】

終端構造は、n型エピタキシャルSi層87、p型ピラー層88の繰り返しで形成されている。n型エピタキシャルSi層82中での電界を緩和するためには、ソースからドレインに向かって徐々に電位を上げる必要がある。

【0022】

具体的には、600V系の素子では、ユニットセル幅が30 μm 程度の場合、ユニット数としては10～20個が必要であり、したがって300 μm から600 μm 程度の長さの終端構造が必要であった。このような長い終端構造は、装置全体の微細化を妨げる。

【0023】

【発明が解決しようとする課題】

上述の如く、従来のSuper Junction構造のパワーMOSFETは、プレーナ型のパワーMOSFETとは異なり、低オン抵抗化および高耐圧化の両立が可能であるが、プレーナ型のパワーMOSFETに比べて、工程数が大幅に増加するという問題があった。

【0024】

本発明は、上記事情を考慮してなされたもので、その目的とするところは、低オン抵抗化および高耐圧化の両立が可能であり、かつ工程数の大幅な増加を招かずに製造することができるパワーMOSFETを備えた半導体装置およびその製造方法を提供することにある。

【0025】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば

下記の通りである。

【0026】

すなわち、上記目的を達成するために、本発明に係る半導体装置は、第1導電型半導体基板と、この第1導電型半導体基板を第1導電型ドレイン層とする縦型のパワーMOSFETと、このパワーMOSFETを他の素子と分離する、前記第1導電型半導体基板上に形成された分離部材とを備えており、前記パワーMOSFETは、前記第1導電型半導体基板の主面上に選択的に形成された、3つの半導体層からなる半導体構造であって、前記3つの半導体層が、第2導電型半導体層と、この第2導電型半導体層の側面を挟むように形成された2つの第1導電型半導体層とからなり、かつ前記第2導電型半導体層と前記第1導電型半導体層とのpn接合面が前記第1導電型半導体基板の主面に対してほぼ垂直である半導体構造と、前記第2導電型半導体層の上部表面に形成された、前記第2導電型半導体層よりも高不純物濃度の第2導電型ベース層と、この第2導電型ベース層の表面に選択的に形成された第1導電型ソース層と、この第1導電型ソース拡散層と前記第1導電型半導体層とで挟まれた前記第2導電型ベース層上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極とを含むものである。上記他の素子は、上記パワーMOSFETと同じパワーMOSFET、上記パワーMOSFETと異なる素子、あるいはこれら両方である。

【0027】

このような構成であれば、上記3つの半導体層からなる半導体構造が実質的にSuper Junction構造と同じ役割を果たすので、低オン抵抗化および高耐圧化の両立が可能となる。

【0028】

さらに、上記の如き構成であれば、下記の本発明に係る半導体装置の製造方法により、工程数の大幅の増加を招かずに製造できるようになる。

【0029】

本発明に係る半導体装置の製造方法は、高不純物濃度の第1導電型半導体基板上に、低不純物濃度の第1導電型エピタキシャル半導体層を成長させる工程と、この第1導電型エピタキシャル半導体層に前記第1導電型半導体基板に達する複

数のトレンチを開口する工程と、イオン注入法を用いて前記トレンチの側面に第1導電型不純物およびそれよりも拡散係数の小さい第2導電型不純物を注入し、拡散係数の違いを利用して前記トレンチで挟まれた領域の前記第1導電型エピタキシャル層を、第2導電型半導体層と、この第2導電型半導体層の側面を挟むように形成された2つの第1導電型半導体層とからなり、かつ前記第2導電型半導体層と前記第1導電型半導体層とのpn接合面が前記第1導電型半導体基板の主面に対してほぼ垂直である半導体構造に変える工程と、前記トレンチの少なくとも底面および側面に第1の絶縁膜を形成する工程と、前記第2導電型半導体層の上部表面に、前記第2導電型半導体層よりも高不純物濃度の第2導電型ベース層を形成する工程と、この第2導電型ベース層の表面に第1導電型ソース層を選択的に形成する工程と、この第1導電型ソース拡散層と前記第1導電型半導体層とで挟まれた前記第2導電型ベース層上にゲート絶縁膜およびゲート電極を形成する工程とを有するものである。

【0030】

このような構成であれば、第1導電型および第2導電型不純物をそれぞれ1回だけ第1導電型エピタキシャル層に注入することで、第1導電型エピタキシャル層の導電型の分布を、Super Junction構造と同じ役割を果たす半導体構造を形成するために必要な分布に変えることができる。

【0031】

その結果、工程数の大幅の増加を招かずに、Super Junction構造と同じ役割を果たす半導体構造を有するパワーMOSFETを製造することが可能となる。

【0032】

本発明の上記ならびにその他の目的と新規な特徴は、本明細書の記載および添付図面によって明らかになるであろう。

【0033】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0034】

(第1の実施形態)

図1～図7は、本発明の第1の実施形態に係るパワーMOSFETの製造方法を示す断面図である。ここでは、200V以上の中高耐圧を確保できる新しい耐圧構造を有する縦型のパワーMOSFET (DTMOS: Deep Trench MOSFET) について説明する。

【0035】

まず、図1に示すように、 n^+ 型ドレイン層としての高不純物濃度の n^+ 型Si基板1上に低不純物濃度(高抵抗)の n^- 型エピタキシャルSi層2を成長させる。

【0036】

n^+ 型Si基板1の不純物濃度は例えば 1×10^{19} (atoms/cm³)以上で、抵抗率は例えば 0.006 ($\Omega \cdot \text{cm}$)以下である。 n^- 型エピタキシャルSi層2の厚さは例えば $50 \mu\text{m}$ である。

【0037】

次に図2(a)に示すように、フォトリソグラフィおよびRIE (Reactive Ion Etching) を用いて、 n^+ 型Si基板1に達する深いトレンチ3を n^- 型エピタキシャルSi層2に開口する。

【0038】

トレンチ3の深さは例えば $51 \sim 55 \mu\text{m}$ 程度、トレンチ3の幅Wは例えば $8 \mu\text{m}$ 、トレンチ3の間隔Lは例えば $15 \mu\text{m}$ である。 600V 系の耐圧を得るためには、トレンチ3の深さは例えば $50 \mu\text{m}$ 以上とする。また、図では、トレンチ3は一様の幅の形状になっているが、RIEを用いた場合、実際の形状は先細りの形状になる。すなわち、基板表面に対してほぼ垂直な形状になる。

【0039】

さらに、実際には、トレンチ3が n^+ 型Si基板1に確実に達成するように、オーバーエッチングを行うため、トレンチ3の底の位置は、図2(b)に示すように、 n^- 型エピタキシャルSi層2の下の n^+ 型Si基板1の表面よりも低い位置になる。

【0040】

次に図3に示すように、回転イオン注入法を用いて、AsおよびBを注入角度 5° から 7° にてトレンチ3の側壁に注入する。

【0041】

その後、 1150°C 、24時間のアニールを行って、トレンチ3で挟まれたメサ構造のn-型エピタキシャルSi層2の両側からAsおよびBを同時に拡散させる。

【0042】

このとき、 1150°C でのAsの拡散係数は $9 \times 10^{-3} \mu\text{m}^2 / \text{h}$ 、Bの拡散係数は $5.5 \times 10^{-2} \mu\text{m}^2 / \text{h}$ 程度であり、Bの拡散係数が一桁大きいことによりAsは約 $2.5 \mu\text{m}$ 拡散し、Bは約 $7.5 \mu\text{m}$ 拡散する。

【0043】

その結果、図4に示すように、上記アニールによって、トレンチ3で挟まれたメサ構造のn-型エピタキシャルSi層2の中央部には左側から拡散したBと右側から拡散したBとが重なって、短冊状のp型ピラー層4が形成され、その左右の外側にはそれぞれ短冊状のn型ピラー層5が自己整合的に形成される。

【0044】

p型ピラー層4の横方向の寸法は $10 \mu\text{m}$ 程度、n型ピラー層5の横方向の寸法は $2.5 \mu\text{m}$ 程度である。したがって、ユニットセル幅は $15 \mu\text{m}$ 程度となり、従来の約半分になる。これにより素子の微細化を容易に図れるようになる。

【0045】

本実施形態のnpnピラー構造はBおよびAsを横方向に積極的に拡散させて形成するため、従来のSuper Junction構造とは異なり、Bの横方向拡散が素子の微細化の妨げになることはない。

【0046】

これらの横方向に並んだn型ピラー層5/p型ピラー層4/n型ピラー層5からなる半導体構造、すなわち本発明の新しい耐圧構造（npnピラー構造）は、実質的に従来のSuper Junction構造と同じ役割を果たす。したがって、低オン抵抗化（図21のプレーナ型素子の $1/3$ 以下）および高耐圧化の

両立が可能となる。

【0047】

さらに、ピラー側面へのAs、Bのイオン注入のみによって達成できる。p型ピラー層4中のBの総量を N_B と、p型ピラー層4の両側を挟む2つのn型ピラー層5中のAsの総量を N_{As} とした場合に、 $100 \times |N_B - N_{As}| / B \leq 5$ にできる。

【0048】

このような高精度の不純物量コントロールは、トレンチ側面へのAs、Bのイオン注入のみによって達成できる。これにより、p型ピラー層4およびn型ピラー層5中の不純物濃度のばらつきを十分に抑制でき、その結果として素子特性のばらつきの増加を効果的に抑制できるようになる。

【0049】

図では、n型ピラー層5/p型ピラー層4のpn接合面はn⁺型Si基板1の表面に対して垂直になっているが、実際にはトレンチ3をRIE加工で形成するので、トレンチ3の側壁の傾きに対応した分だけ垂直からずれることになる。すなわち、n型ピラー層5/p型ピラー層4のpn接合面は基板表面に対してほぼ垂直になる。

【0050】

次に図5に示すように、トレンチ3を埋め込むように絶縁膜6を全面に形成する。絶縁膜6は、例えばトレンチ3の側面に熱酸化によりSiO₂膜を形成し、その後CVD (Chemical Vapor Deposition) によりSiO₂膜またはSiN膜を全面に堆積することで形成する。その結果、npnピラー構造が絶縁膜6で取り囲まれた構造が形成される。

【0051】

次に図6に示すように、CMP (Chemical Mechanical Etching) を用いて表面を平坦化するとともに、トレンチ3の外部の不要な絶縁膜6を除去することによって、素子分離 (Deep Trench Isolation) を行う。CMPの代わりにエッチングを用いても良い。なお、図2 (b) に示したように、オーバーエッチングを行った場合、絶縁膜6の底面は、npnピラー構造の下にn⁺型Si基板1の表

面よりも低い位置になる。

【0052】

それ以降の工程は、周知のプレーナ型のパワーMOSFETのそれと同じである。具体的には、図7に示すように、p型ピラー層4の表面にp⁺型ベース層7を形成する工程、p型ベース層7の表面に選択的にn⁺型ソース拡散層8を形成する工程、n⁺型ソース拡散層8とn型ピラー層5とで挟まれたp⁺型ベース層7上にゲート絶縁膜9およびゲート電極10を形成する工程、ソース電極11およびドレイン電極12を形成する工程が続く。図7には、3つのユニットセルが示されている。なお、図では、ゲート電極10を形成した後、ゲート電極10を覆い、ソース電極11等のためのコンタクトホールが開口される層間絶縁膜も、ゲート絶縁膜と同じ参照符号9で示してある。

【0053】

図8に、n⁺型ソース拡散層8までを形成した段階の断面斜視図を示す。(npnピラー構造)を上から見たパターンは図に示すようにストライプである。ゲート電極10は、例えばポリシリコンゲート、ポリサイドゲートまたはメタルゲートである。

【0054】

本実施形態のパワーMOSFETは、図21の従来のプレーナ型パワーMOSFETの製造方法にたったの5つの工程を追加することで形成できる。この5つの工程とは、具体的には、深いトレンチ3の形成工程と、AsおよびBをイオン注入する工程と、アニールによりイオン注入したAsおよびBを活性化する工程と、素子分離絶縁膜としての絶縁膜6を形成する工程と、不要な絶縁膜6をCMPにより除去する工程である。

【0055】

これに対して図21に示したSuper Junction構造のプレーナ型パワーMOSFETを製造するためには、図21の従来のプレーナ型パワーMOSFETの製造工程に、5回または6回のエピタキシャル成長工程、10回または12回のマスク形成工程、10回または12回のイオン注入工程を追加する必要がある。

【0056】

すなわち、本実施形態によれば、図22と実質的に同構造のプレーナ型パワーMOSFETを従来よりも工程数が大幅に少ない製造方法で得ることができるようになる。

【0057】

以下、本実施形態のDTMOSの改良技術および終端構造を説明する。まず最初にイオン注入量の均一化技術について説明する。

【0058】

図9(a)は、回転イオン注入法を用いて形成したnpnピラー構造の平面パターンがストライプ状の場合の、最外周セルコーナー部（複数のDTMOSを含む素子領域のコーナー部）の平面パターンを示す平面図である。また、図9(b)は図9(a)の矢視A-A'断面図、図9(c)は図9(a)の矢視B-B'断面図を示す平面図である。

【0059】

図9から、ストライプ状のnpnピラー構造のコーナー部におけるn型ピラー層5の幅 t_1 は、ストライプ状のnpnピラー構造の長手方向直線部の幅 t_2 よりも小さいことが分かる。

【0060】

この幅 t_1 、 t_2 の違いは、コーナー部にイオン注入される不純物の総量と長手方向直線部にイオン注入される不純物の総量とが異なってしまうことを意味する。このような不純物の総量の違いは、ドレインソース間逆方向耐圧の低下を招く原因となる。

【0061】

このよう不都合は次のようにすれば解決することができる。すなわち、図10に示すように、最外周セルコーナー部のnpnピラー構造およびそれに接した部分の絶縁膜6の平面パターンのコーナー部の形状を丸め、 $t_1 = t_2$ となるようにすれば良い。

【0062】

これにより、不純物の総量のアンバランスが解消され、安定したドレインソー

ス間逆方向耐圧を確保できるようになる。npnピラー構造の形状は、トレンチ3の形状によって決まるので、コーナー部の形状を丸めるために、トレンチ3の形状を変えれば良い。

【0063】

ここでは、コーナー部の形状を半円形にして丸めたが、多角形状にしても良い。すなわち、コーナー部において90度のエッジが存在しない形状にすれば、不純物の総量のアンバランスを改善することができ、ドレインソース間逆方向耐圧の低下を抑制することができる。

【0064】

図11に、集積形成された複数のDTMOSのゲート電極に対するゲート配線構造の代表例を示す。図中、13は複数のDTMOSから構成されたMOSFETセル部（複数のDTMOSを含む素子領域）、14はチップ外周（複数のDTMOSを含む素子領域の周辺部）のゲート配線（第1のゲート配線）、15はゲートパッドをそれぞれ示している。

【0065】

このような構成のゲート配線構造の場合、スイッチング動作でのオン／オフ時のゲート電極のチャージ／アンチャージは、MOSFETセル部13の中央部（チップ中央部）で遅延が起きる。このような遅延はスイッチング動作の高速化の妨げとなる。

【0066】

このよう不都合は次のようにすれば解決することができる。すなわち、図12に示すように、チップ外周のゲート配線14からMOSFETセル部13の中央部に延びるゲート配線（第2のゲート配線）16を追加すればよい。これにより、ゲート抵抗を低減でき、MOSFETセル部13の中央部（チップ中央部）での遅延を解消でき、スイッチング動作の高速化を容易に行えるようになる。

【0067】

さらに、ゲート配線16はゲート配線14と同じ工程で形成できるので、追加工程は不要である。したがって、図12のゲート配線構造を採用しても、DTMOSの低製造価格の利点はそのまま保たれる。

【0068】

図13に、ゲート配線構造の下地構造を示す。また、図14および図15にそれぞれ図13の矢視A-A'断面図および矢視B-B'断面図を示す。ゲート配線16下の素子領域（ゲート配線領域）と、MOSFET動作を行う複数のDTMOSが形成された素子領域（MOSFET領域）とは、絶縁膜6によって互いに物理的に分離されている。ゲート配線領域にはMOSFET領域と同様にnpピラー構造が形成されている。

【0069】

MOSFET領域のp+型ベース層7とゲート配線領域のp+型ベース層7とは、ソース電極11によって互いに電氣的に接続されている。しかし、ゲート配線領域のp+型ベース層7内には、n+型ソース拡散層8が形成されていないので、ゲート配線領域ではMOSFET動作は起こらない。

【0070】

図16に、本発明のDTMOSの終端構造を示す。この終端構造は、DTMOSと同時に形成できる。具体的には、図2で説明したトレンチ3の開口工程で、終端領域に幅10～30 μ m程度のトレンチをn-型エピタキシャルSi層2に同時に開口し、図5の絶縁膜6の形成工程で、終端領域のトレンチを絶縁膜6で同時に埋め込み、図6のCMP工程で上記終端領域の表面を平坦化するとともに、終端領域のトレンチ上の不要な絶縁膜6を除去することで形成できる。

【0071】

図24の終端構造の長さは600V系の場合で200～600 μ m程度必要であったのに対し、本発明の終端構造の長さは100～20 μ m程度と1/4程度で済む。その理由は、従来はn型エピタキシャルSi層89を用いて電界を緩和していたのに対し、本実施形態では終端領域に形成した絶縁膜6で電界を緩和しているからである。

【0072】

このように本実施形態によれば無駄な終端領域がほとんど無くなり、Siウェハからのチップの取れ高が増加し、その結果として製造価格の低減化を図れるようになる。

【0073】

図25に、本発明の他の終端構造を示す。

【0074】

FET動作領域の最外周のDTMOSと終端部領域とを分離する絶縁膜6'の外側（終端部領域側）には、FET動作領域と同様のn型ピラー層4とp型ピラー層5が必然的に形成される。絶縁膜6'は絶縁膜6と同じ工程で形成される。

【0075】

ここで、n型ピラー層4の表面（基板表面）には、ドレインーソース間逆方向電圧の印加時に、基板裏面のドレイン電位と同じ電位が現れる。そのため、ソース電極11は印加される電圧に耐えうるような層間絶縁膜9の上に配置される。ソース電極11は、FET動作領域の各DTMOSのソース拡散層8とコンタクトする。

【0076】

さらに、例えば600Vのドレインーソース間逆方向耐圧を得るためには、ソース電極11の終端部領域側の端部と、高電位のn型ピラー層5の終端部領域側の端部（p型ピラー層4とn型ピラー層5の界面）との間の距離（ソース電極はみ出し量）D1を $10\mu\text{m}$ に設定する。距離D1を $10\mu\text{m}$ に設定した理由は、図26に示すように、 $D1 \geq 2\mu\text{m}$ 以上で必要な耐圧を得られることが明らかになったからである。

【0077】

これにより、ソース電極11の端にかかる電界を十分に緩和でき、その結果として安定したドレインーソース間逆方向耐圧を確保できるようになる。なお、距離D1は $10\mu\text{m}$ 以上であれば良いが、微細化を考慮すると、必要以上に長くしないことが好ましい。具体的には、 $15\mu\text{m}$ 以下が好ましい。

そして、終端部領域上に以下に説明するゲート配線構造を形成する。このゲート配線構造は、ゲート電極10とゲート配線14（好ましく先に説明したゲート配線16）とから構成され、かつゲート電極10とゲート配線14との間の距離D2が約 $5\mu\text{m}$ に設定されているものである。

【0078】

このようなゲート配線構造を採用することにより、例えば、600Vのドレインソース間逆方向耐圧を確保するために必要な終端部領域の寸法 L_{end} は約155 μm 前後で済む。この値は、現在のプレーナ型絶縁ゲート電界効果トランジスタの終端部領域の寸法の約1/4前後である。すなわち、終端部領域に簡単なゲート配線構造を設けることで、終端部領域の寸法 L_{end} を大幅に縮小できるようになる。

【0079】

以上、説明したDTMOSの改良技術（注入量の均一化技術、遅延防止技）および終端構造は適宜組み合わせることが可能であり、さらに次に説明する第2～第4の実施形態にも同様に適用可能である。

【0080】

（第2の実施形態）

図17は、本発明の第2の実施形態に係るパワーMOSFETを示す断面斜視図である。なお、図1～図16と対応する部分には図1～図16と同一符号を付してあり、詳細な説明は省略する（第3の実施形態以降についても同様）。

【0081】

本実施形態が第1の実施形態と異なる点は、npnピラー構造を上から見たパターン（平面パターン）をいわゆるオフセットメッシュ状にしたことにある。このような構成によれば、素子寸法によってはチャンネル密度を高めることが可能となる。また、npnピラー構造を上から見たパターン（平面パターン）をいわゆるメッシュ状（図17において上下の2つのnpnピラー構造が横方向にずれていない形状）にしても良い。

【0082】

（第3の実施形態）

図18は、本発明の第3の実施形態に係るパワーMOSFETを示す断面図である。

【0083】

本実施形態が第1の実施形態と異なる点は、n型ピラー層5の表面に高不純物濃度のn⁺型拡散層17を形成したことにある。

【0084】

n^+ 型拡散層 17 が無い場合、ソース・ドレイン間に電圧を印加したときに、 n 型ピラー層 5 の表面に空乏層が広がる。そのため、 n 型ピラー層 5 の表面に Na イオン等の電荷が付着すると、部分的に空乏化が妨げられ、その空乏化が妨げられた部分に電界が集中し、ブレークダウンが起こる可能性がある。

【0085】

これに対して本実施形態のように n 型ピラー層 5 の表面に n^+ 型拡散層 17 を形成すれば、 n 型ピラー層 5 の表面に空乏層が広がるのを防止でき、上述した不都合を回避することができる。また、 n^+ 型拡散層 17 はイオン注入およびアニールによる n^+ 型ソース拡散層 8 の形成時に同時に形成できるので、工程の増加は無い。また、同じイオン注入およびアニールにより形成することになるので、 n^+ 型拡散層 17 の不純物濃度と n^+ 型ソース拡散層 8 の不純物濃度はほぼ同じになる。

【0086】

(第 4 の実施形態)

図 19 は、本発明の第 4 の実施形態に係るパワー MOSFET を示す断面図である。

【0087】

本実施形態が第 1 の実施形態と異なる点は、深いトレンチ 3 の全てを絶縁膜 6 で埋め込むのではなく、ポリシリコン層 18 を併用して埋め込むことにある。

【0088】

より詳細には、幅 $8\ \mu\text{m}$ 程度のトレンチ 3 の底面および側面に厚さ $1\sim 2\ \mu\text{m}$ 程度の SiO_2 膜等の絶縁膜 6 (第 1 の絶縁膜) を堆積法または熱酸化により形成し、次にポリシリコン層 18 を全面に堆積し、CMP またはエッチングによりトレンチ 3 の外部の不要なポリシリコン層 18 を除去するとともに、トレンチ 3 の開口面下のポリシリコン層 18 を除去し、次にトレンチ 3 の開口面下の未充填部分を絶縁膜 (キャップ絶縁膜) 6c (第 3 の絶縁膜) で埋め込み、ポリシリコン層 18 の上面をキャップする。絶縁膜 6, 6c は、 n^+ 型 Si 基板 1 上に形成されたポリシリコン層 18 の底面、側面および上面を覆う。

【0089】

トレンチ3内にポリシリコン層18を優先的に形成するためには、n-型エピタキシャルSi層2の表面に図示しないシリコン酸化膜（第2の絶縁膜）を形成してからトレンチ3を開口し、トレンチ3の底面および側面をシリコン窒化膜（第1の絶縁膜）で被覆してから、CVDによりポリシリコン層18を成長させると良い。

【0090】

ポリシリコン層18は電流経路ではないため、完全に埋め込む必要がない。そのため、ポリシリコン層18は絶縁膜6よりも速く形成できる。例えば、 $1\mu\text{m}/\text{min}$ 程度の成膜速度で形成することができる。

【0091】

Siはトレンチ3の両側から成長するため、上記成膜速度の場合、トレンチ幅 $5\mu\text{m}$ のトレンチ3を2.5分の成膜時間で埋め込みことが可能である。このように本実施形態によれば、深いトレンチ3を短時間で埋め込むことができ、工程時間の短縮化を図れるようになる。

【0092】

また、ポリシリコン層18はn型ピラー層5およびp型ピラー層4と熱膨張係数が等しい。そのため、トレンチ3の内部全体を絶縁膜で埋め込んだ場合に比べて、素子分離後に熱工程を経てもトレンチ3下のSi部分に大きな熱応力はかからない。これにより、上記Si部分に結晶欠陥が発生し、リーク電流が増加するなどの不都合を防止することができる。

【0093】

さらにまた、ポリシリコン層18の上面の絶縁膜6cおよびポリシリコン層18の底面の絶縁膜6に電圧を分担させることができるので、トレンチ3を絶縁膜6およびポリシリコン層18により埋め込む場合に比べて、耐圧を高くすることができる。

【0094】

なお、絶縁膜6cは必ずしも必要ではない。図20に、絶縁膜6cを持たない素子構造を示す。この場合、トレンチ3の開口面下のポリシリコン層18を除去

する必要はない。

【0095】

この素子構造において、n型ピラー5中のn型不純物の濃度をピークで 1.2×10^{15} (atoms/cm³)、p型ピラー層4中のp型不純物の濃度をピークで 4×10^{15} (atoms/cm³)とした場合、図21の従来のプレーナ型と同じ耐圧 ($V_{ds} = 720$ (V)) で、オン抵抗を比較したところ、24%程度 ($R_{on} = 0.36$ (Ω)) に低下できることを確認した。

【0096】

不純物の濃度は上記値に限定されるものではなく、例えばn型ピラー5中のn型不純物の濃度は $3 \sim 1.8 \times 10^{15}$ (atoms/cm³)程度、p型ピラー層4中のp型不純物の濃度は $0.2 \sim 8 \times 10^{15}$ (atoms/cm³)程度であれば同様の効果が得られることを確認した。また、n⁻型エピタキシャルSi層2中のn型不純物の濃度は、 $5 \times 10^{13} \sim 3 \times 10^{14}$ (atoms/cm³)程度であれば良い。

【0097】

なお、本願発明は、上記各実施形態に限定されるものではなく、例えばチャネルタイプはnタイプではなく、pタイプであっても良い。さらにパワーMOSトランジスタとその制御回路や保護回路などの他の回路を同一チップ内に形成しても良い。

【0098】

さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組合せにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題を解決できる場合には、この構成要件が削除された構成が発明として抽出され得る。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0099】

【発明の効果】

以上詳説したように本発明によれば、低オン抵抗化および高耐圧化の両立が可

能であり、かつ工程数の大幅な増加を招かずに製造することができるパワー MOS FET を備えた半導体装置およびその製造方法を実現できるようになる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係るパワー MOS FET (DTMOS) の製造方法を示す断面図

【図 2】

図 1 に続く同製造方法を示す断面図

【図 3】

図 2 に続く同製造方法を示す断面図

【図 4】

図 3 に続く同製造方法を示す断面図

【図 5】

図 4 に続く同製造方法を示す断面図

【図 6】

図 5 に続く同製造方法を示す断面図

【図 7】

図 6 に続く同製造方法を示す断面図

【図 8】

n^+ 型ソース拡散層までを形成した段階を示す断面斜視図

【図 9】

本発明の DTMOS の $n p n$ ピラー構造の平面パターンがストライプ状の場合の問題点を説明するための図

【図 10】

図 9 の DTMOS の問題点の解決方法を説明するための図

【図 11】

本発明の DTMOS のゲート配線構造の代表例を示す平面図

【図 12】

図 11 のゲート配線構造を採用した場合の問題点を解決方法を説明するための

平面図

【図 1 3】

図 1 2 の D T M O S のゲート配線構造の下地構造を示す平面図

【図 1 4】

図 1 3 の矢視 A - A ' 断面図

【図 1 5】

図 1 3 の矢視 B - B ' 断面図

【図 1 6】

本発明の D T M O S の終端構造を示す図

【図 1 7】

本発明の第 2 の実施形態に係るパワー M O S F E T を示す断面斜視図

【図 1 8】

本発明の第 3 の実施形態に係るパワー M O S F E T を示す断面図

【図 1 9】

本発明の第 4 の実施形態に係るパワー M O S F E T を示す断面図

【図 2 0】

同実施形態の変形例を示す断面図

【図 2 1】

従来のパワー M O S F E T を示す断面図

【図 2 2】

従来の他のパワー M O S F E T を示す断面図

【図 2 3】

図 2 2 のパワー M O S F E T の製造方法を説明するための断面図

【図 2 4】

従来の終端構造を示す図

【図 2 5】

本発明の他の D T M O S の終端構造を示す図

【図 2 6】

距離 D 1 (ソース電極はみ出し量) と耐圧との関係を示す図

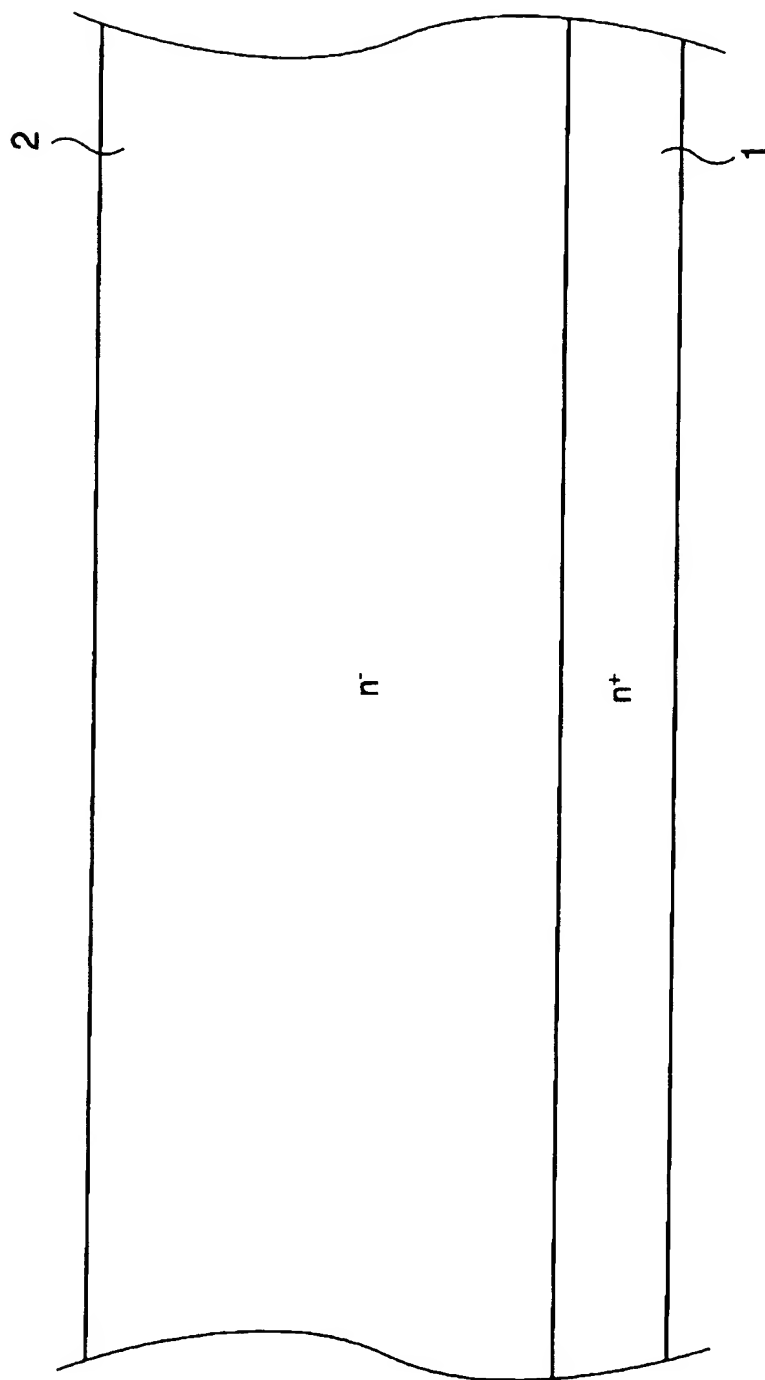
【符号の説明】

- 1… n^+ 型 Si 基板 (第 1 導電型半導体基板)
- 2… n^- 型エピタキシャル Si 層 (第 1 導電型エピタキシャル半導体層)
- 3…トレンチ
- 4…p 型ピラー層 (第 2 導電型半導体層)
- 5…n 型ピラー層 (第 1 導電型半導体層)
- 6…絶縁膜 (分離部材、第 1 の絶縁膜)
- 6c…絶縁膜 (分離部材、第 3 の絶縁膜)
- 6'…絶縁膜 (分離部材)
- 7… p^+ 型ベース層
- 8… n^+ 型ソース拡散層
- 9…ゲート絶縁膜および層間絶縁膜
- 10…ゲート電極
- 11…ソース電極
- 12…ドレイン電極
- 13…MOSFETセル部 (複数のDTMOSを含む素子領域)
- 14…第 1 のゲート配線
- 15…ゲートパッド
- 16…第 2 のゲート配線
- 17… n^+ 型拡散層 (第 1 導電型拡散層)
- 18…ポリシリコン層 (分離部材、半導体層)

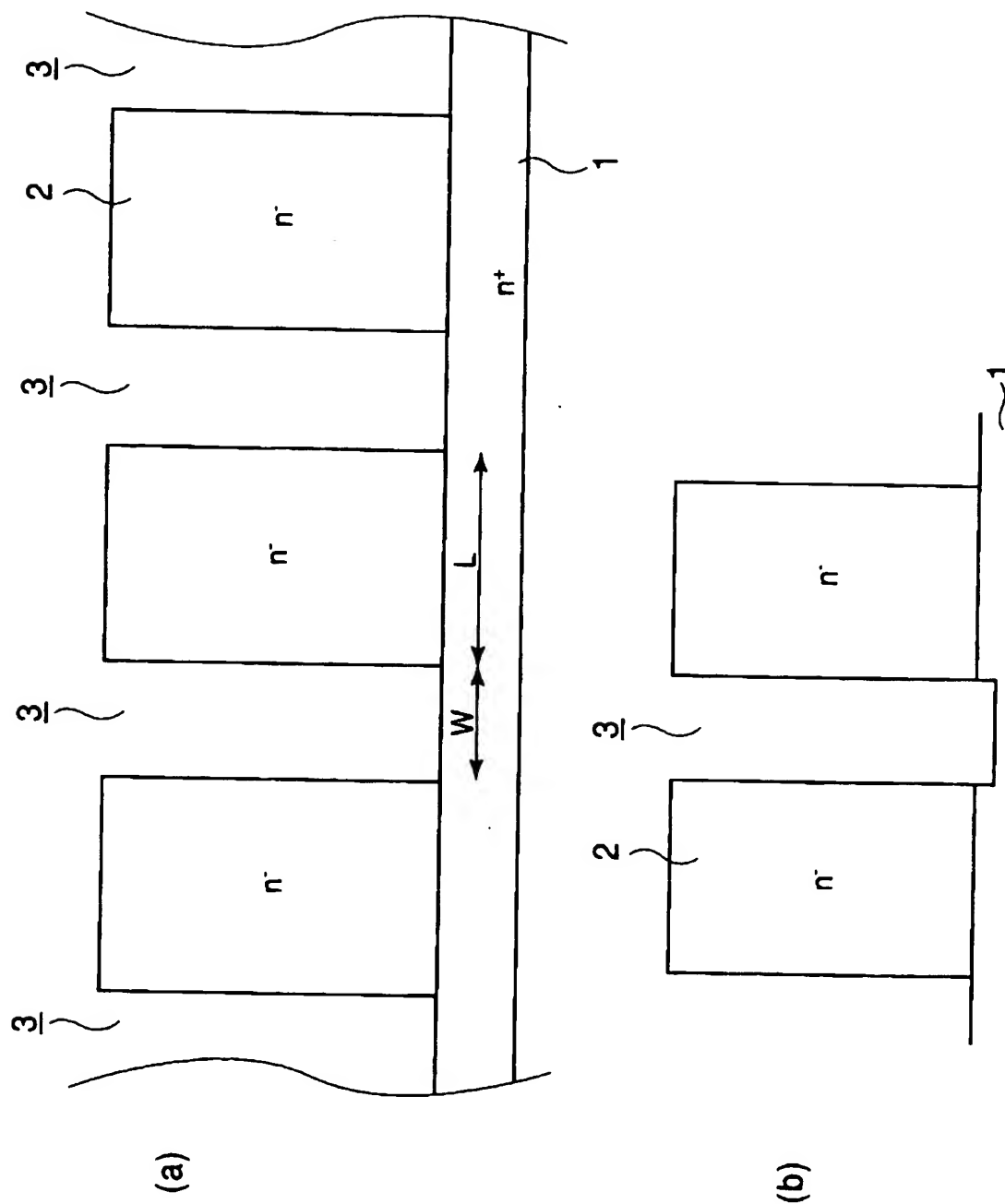
【書類名】

図面

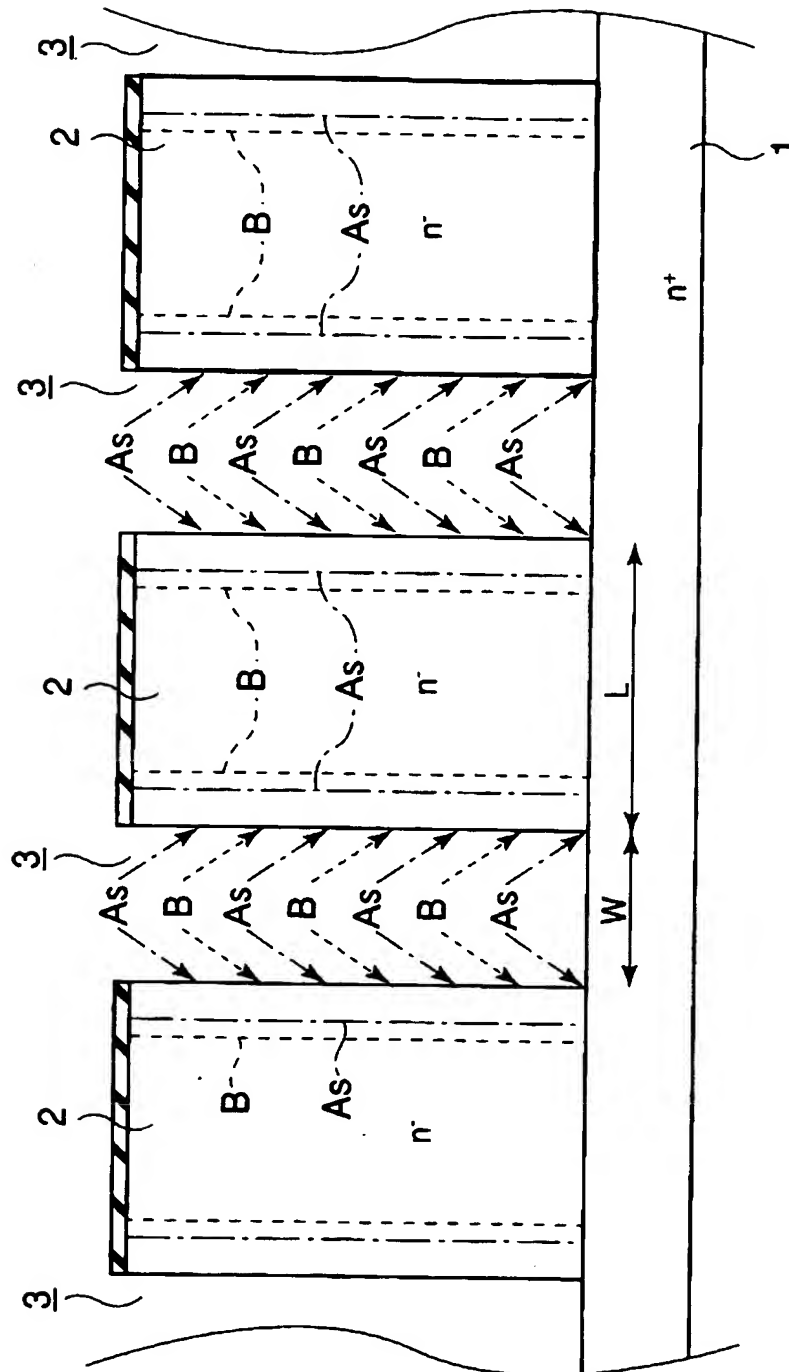
【図 1】



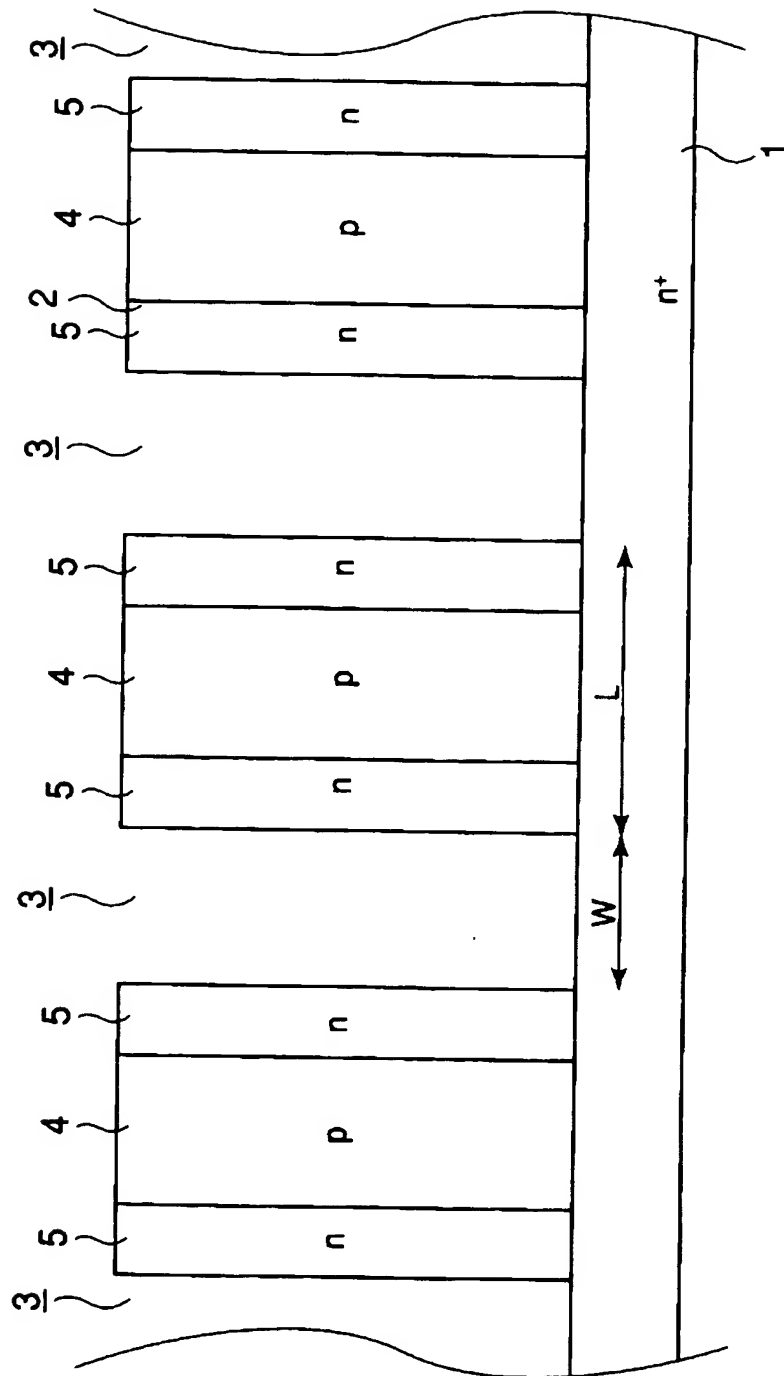
【図 2】



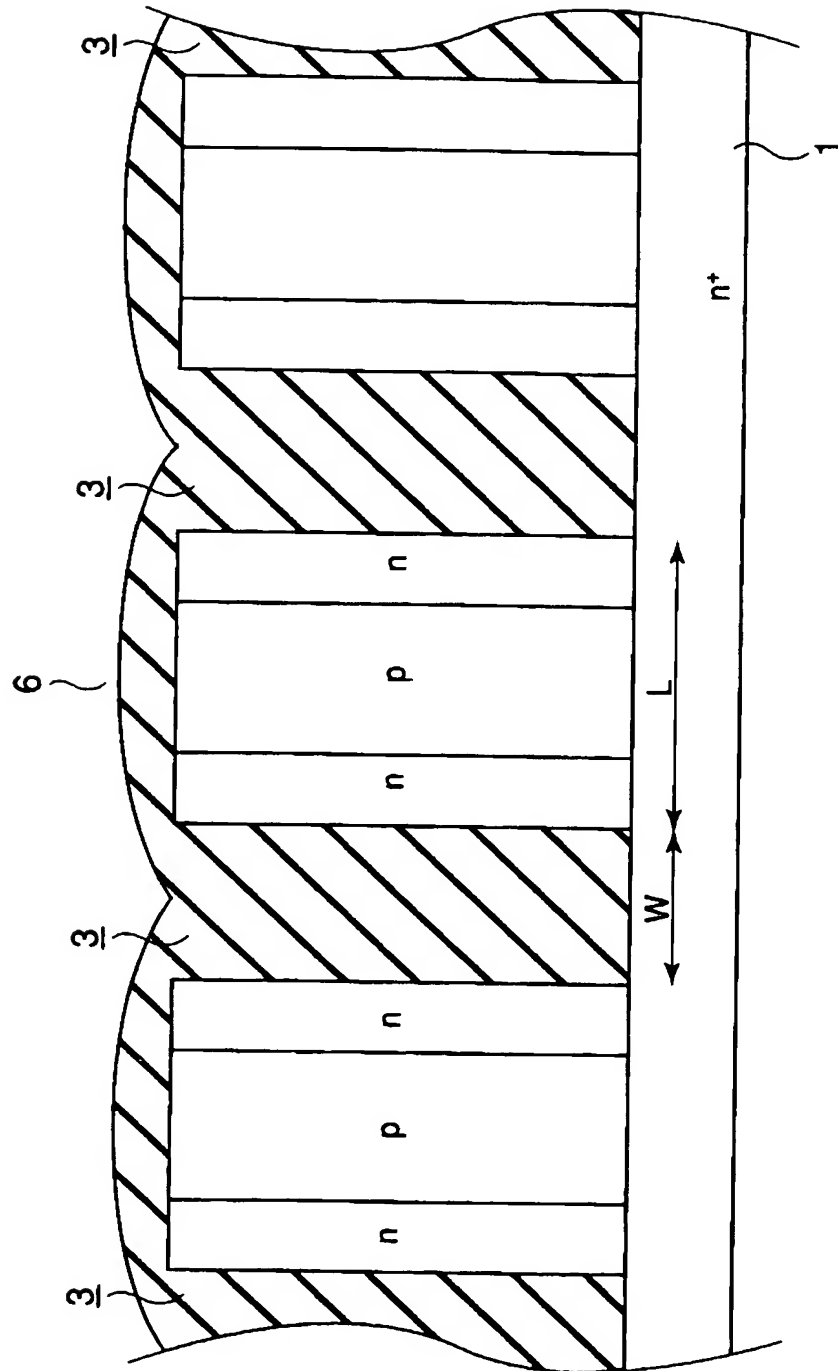
【図 3】



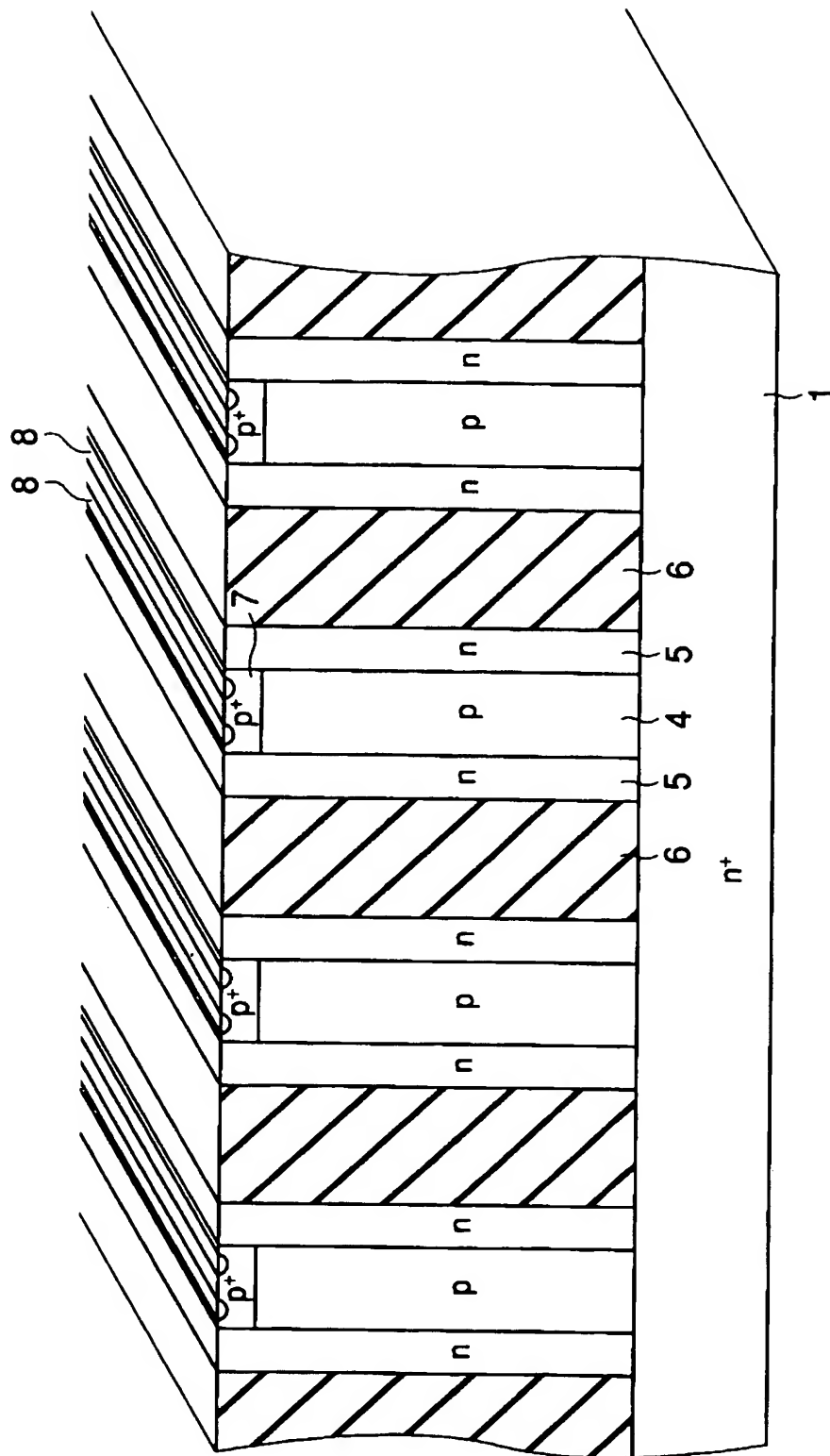
【図 4】



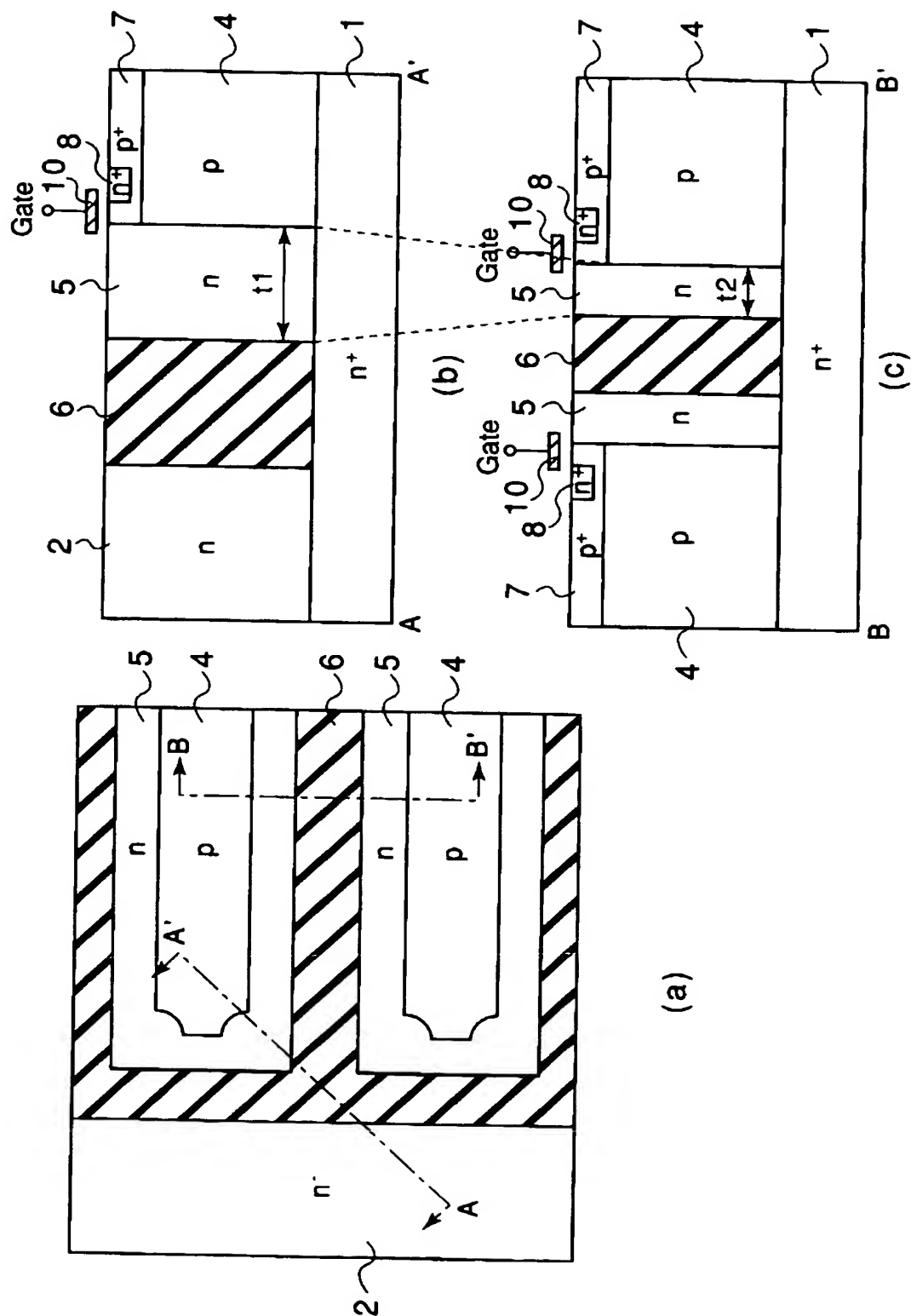
【図 5】



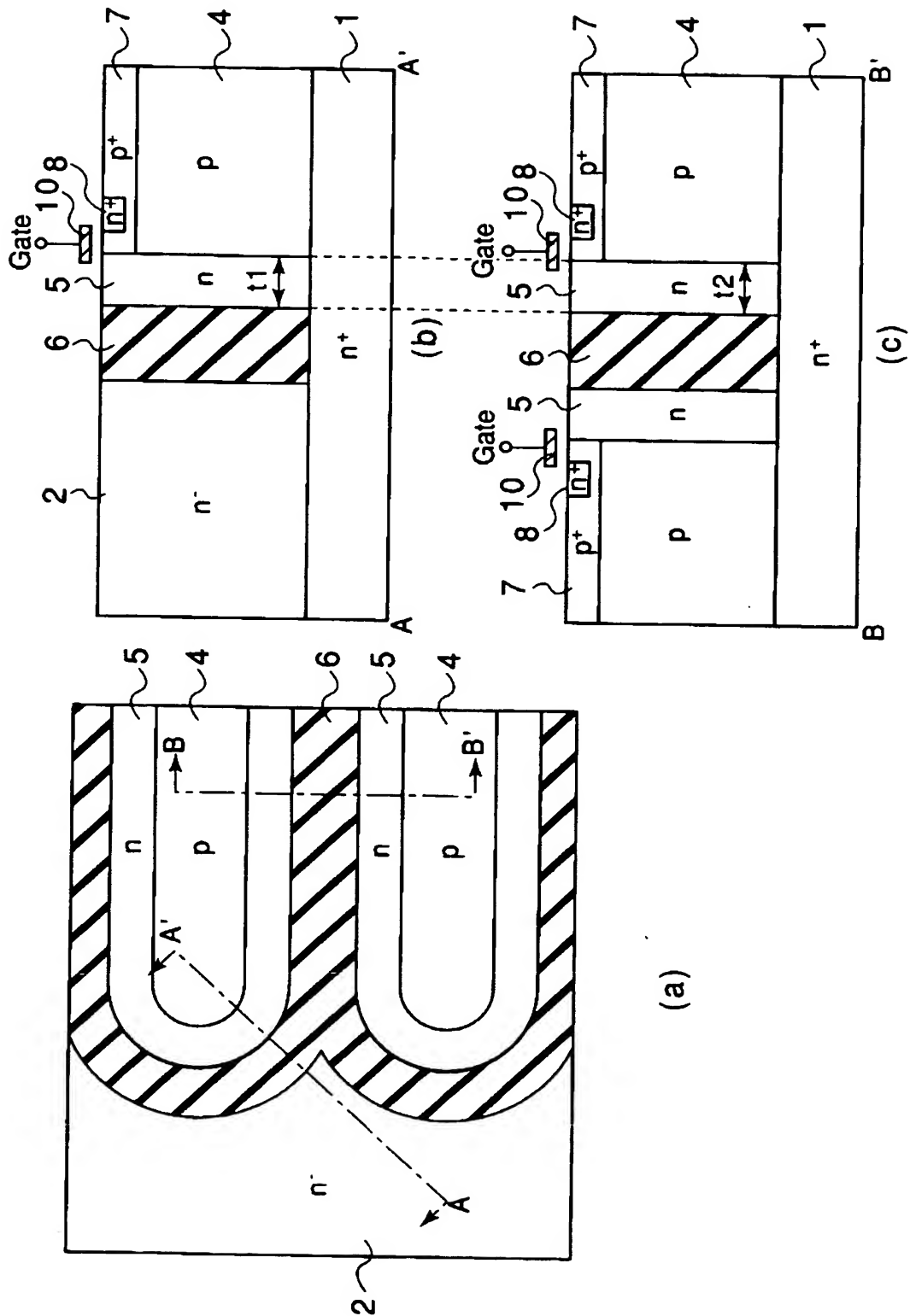
【図 8】



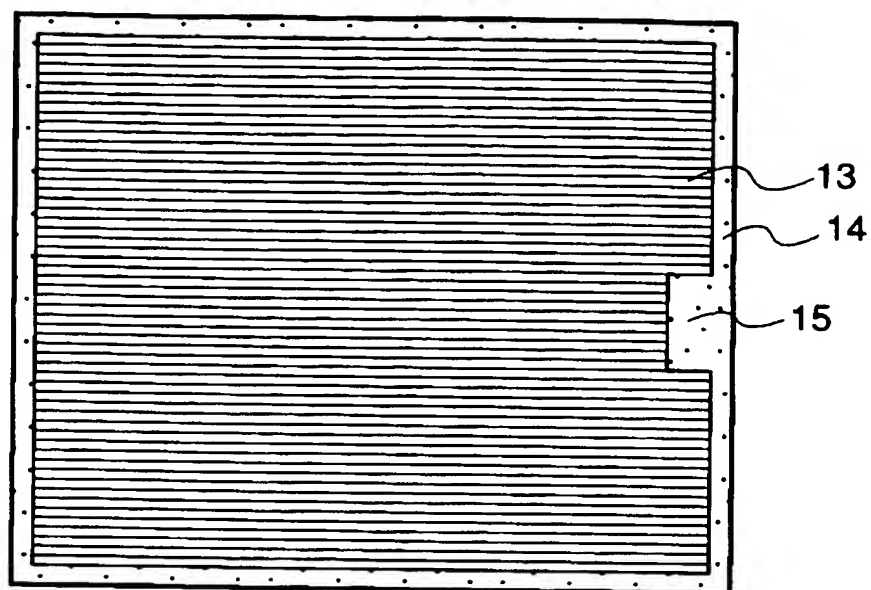
【図 9】



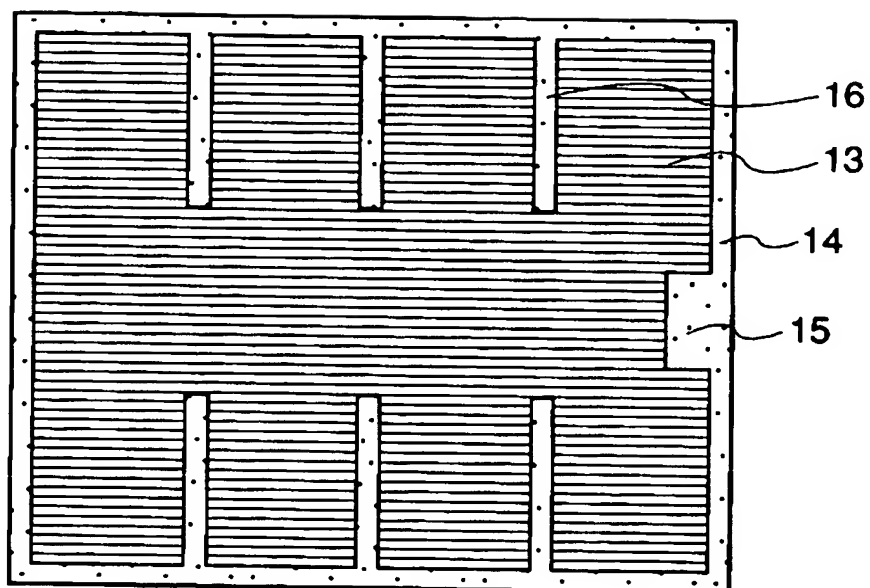
【図 10】



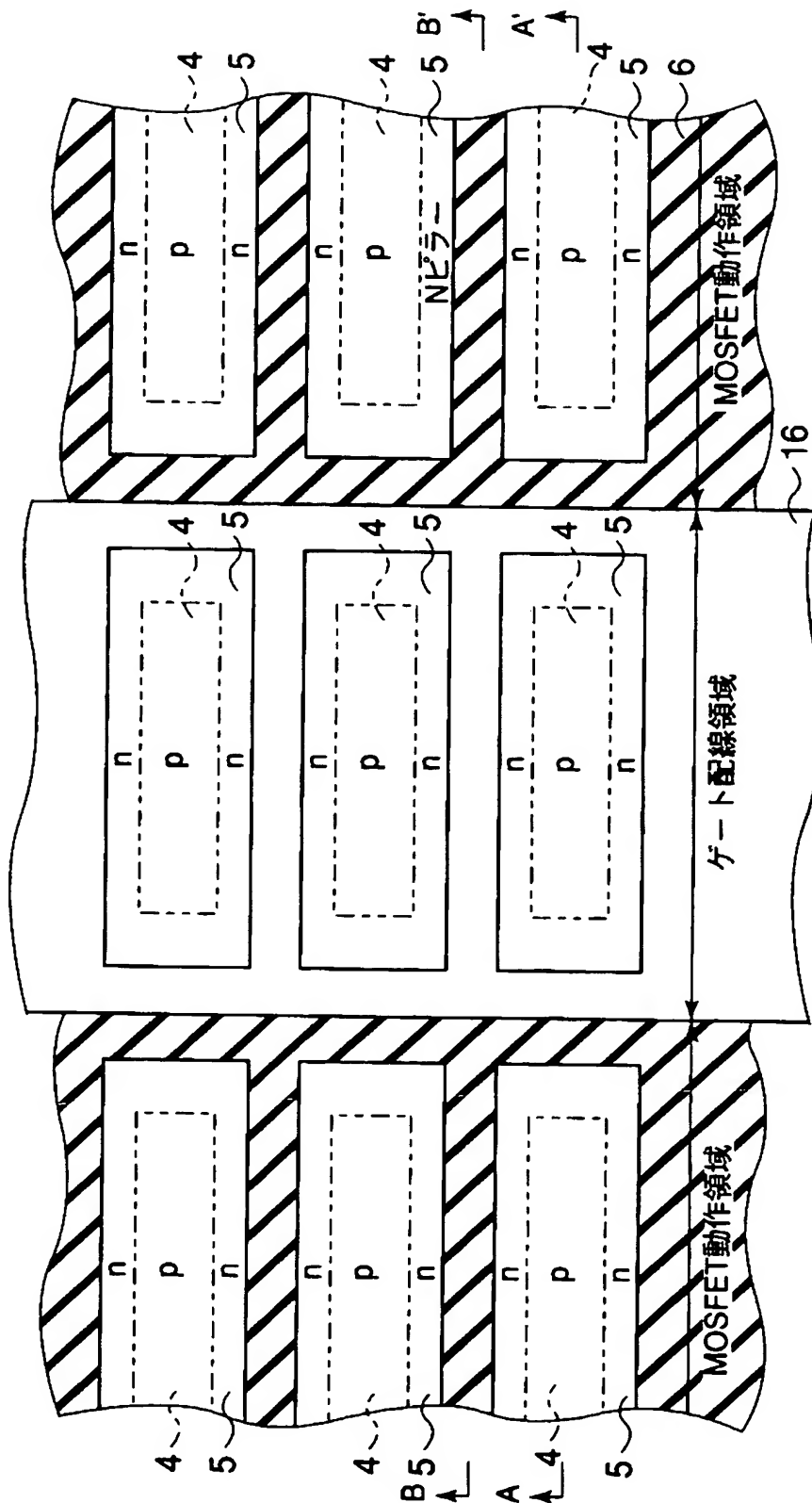
【図 1 1】



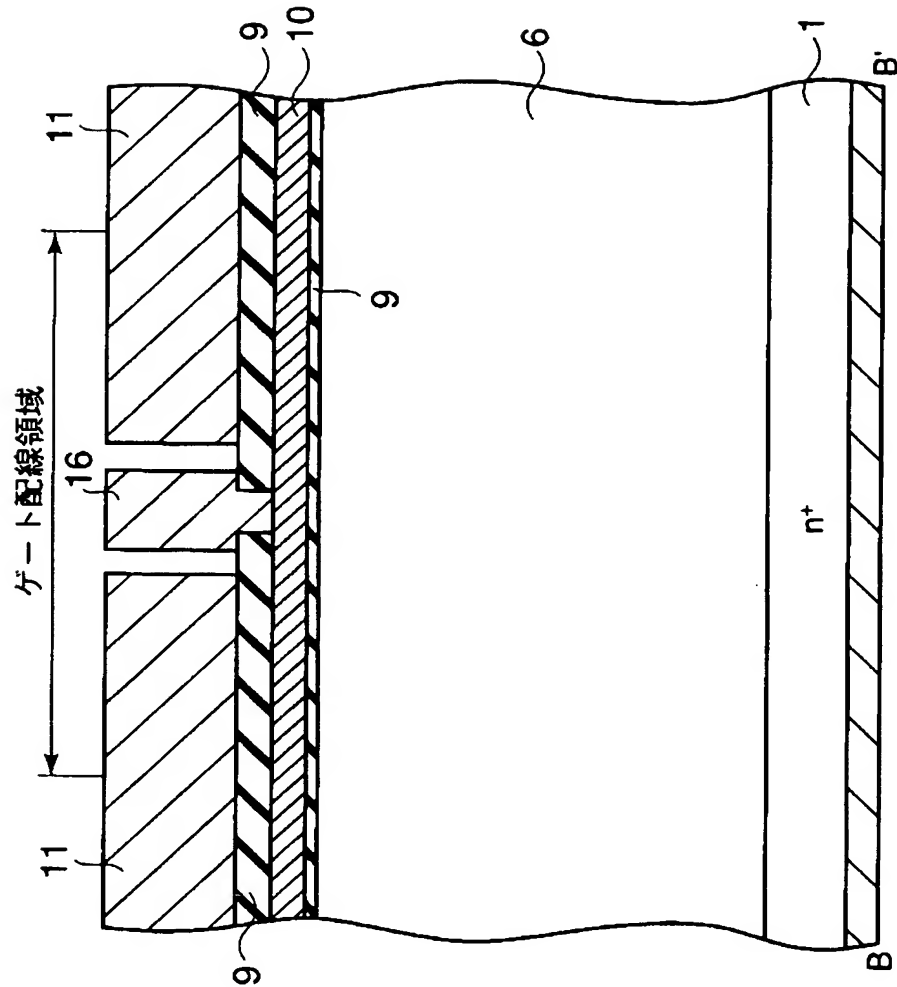
【図 1 2】



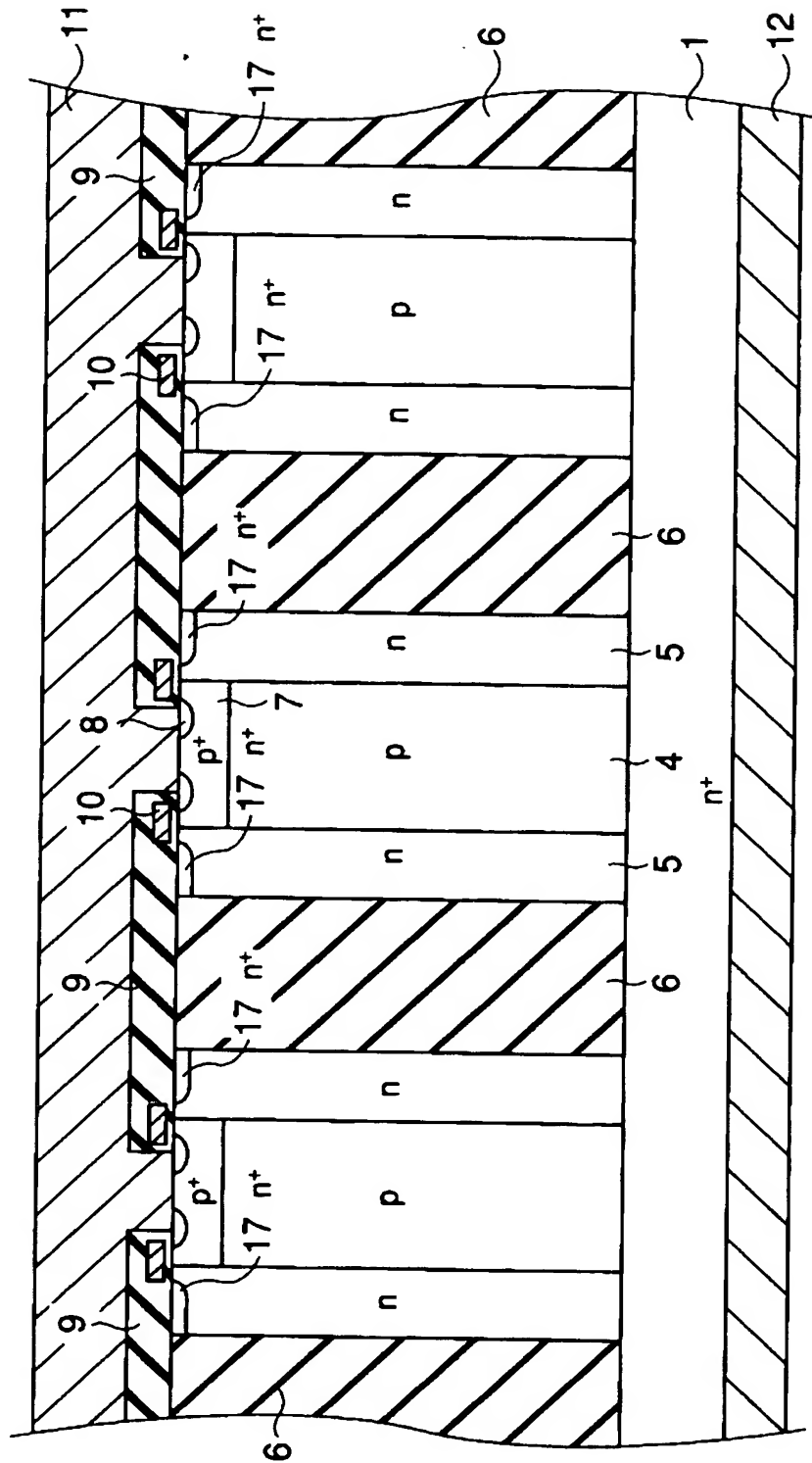
【図 13】



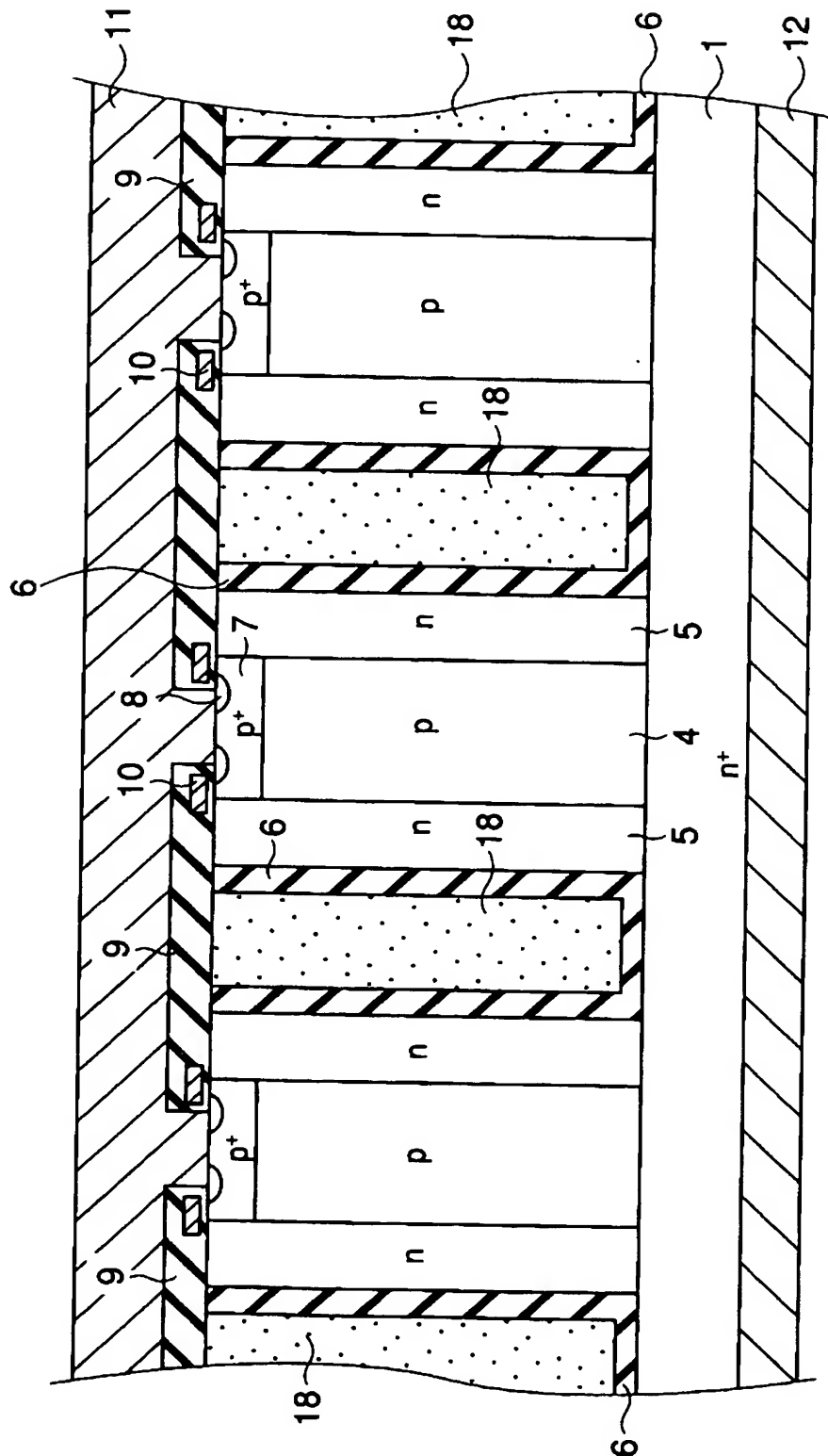
【図 15】



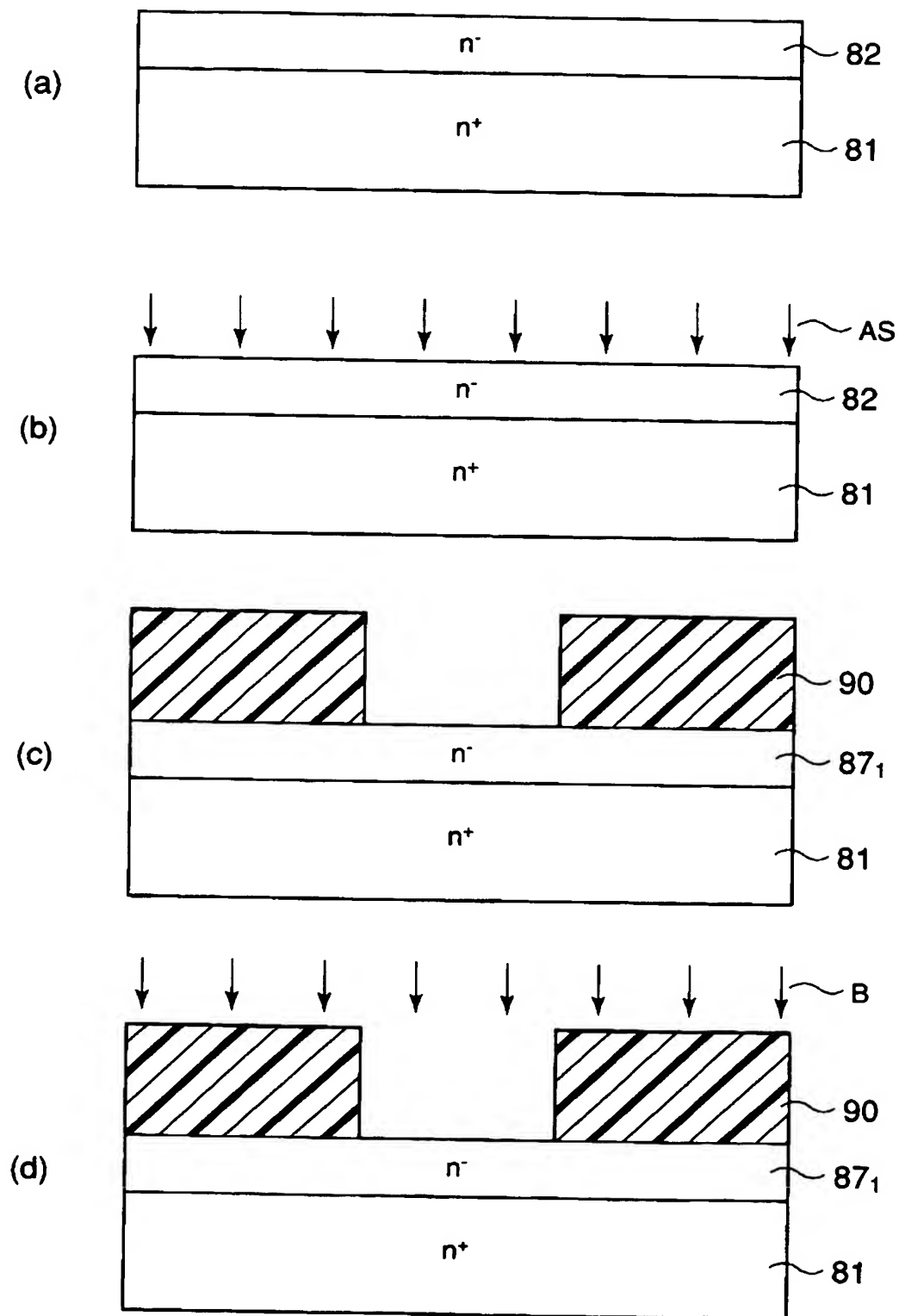
【図 18】



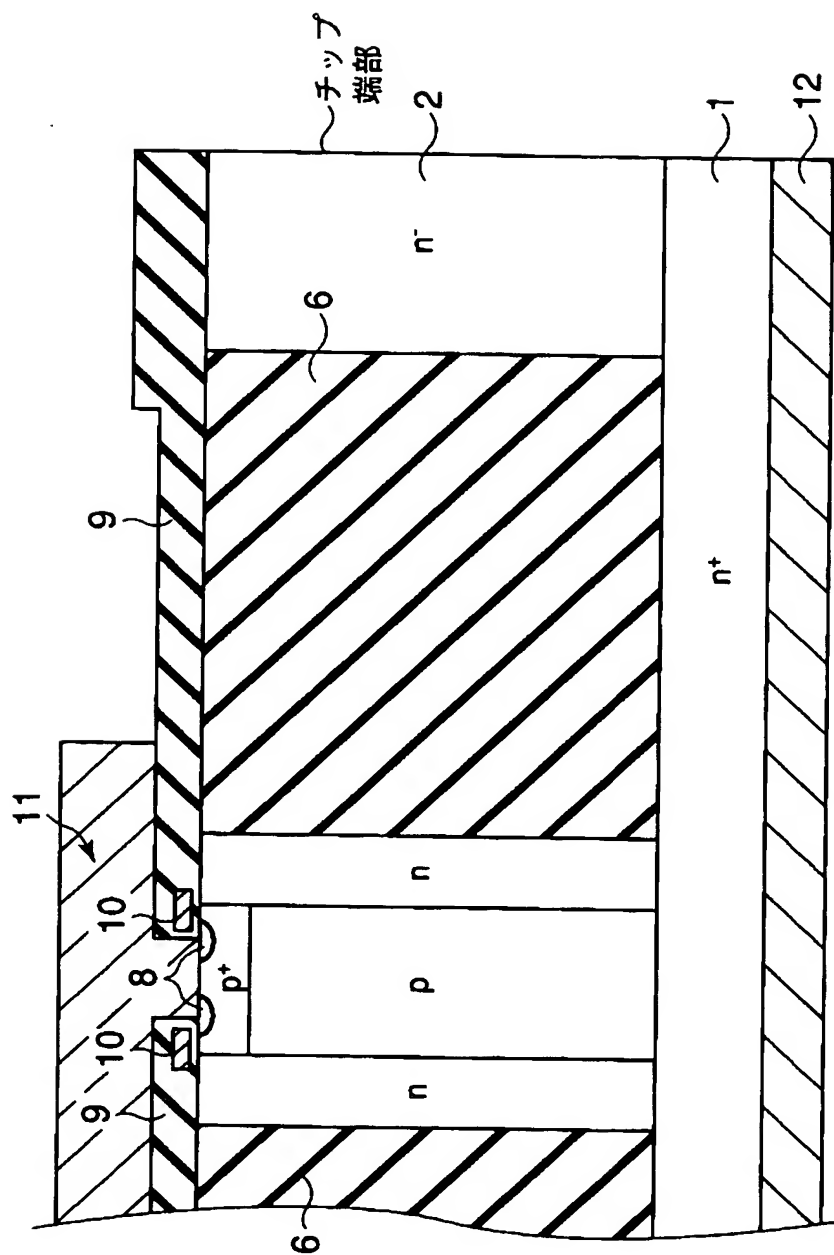
【図 20】



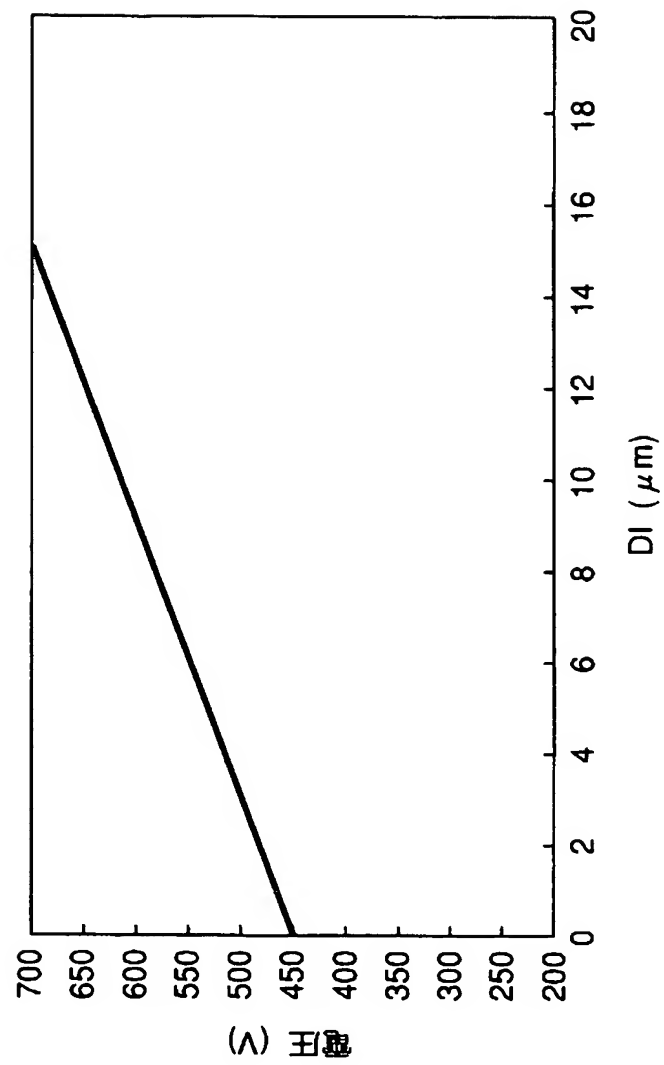
【図 23】



【図 25】



【図 26】



【書類名】 要約書

【要約】

【課題】 工程数の大幅な増加を招かずに、低オン抵抗かつ高耐圧のパワー M O S F E T を製造すること。

【解決手段】 回転イオン注入法を用いて A s および B をトレンチ 3 の側面に注入し、拡散係数の違いを利用することによって、トレンチ 3 で挟まれた n - 型エピタキシャル S i 層を、横方向に並んだ n 型ピラー層 5 / p 型ピラー層 4 / n 型ピラー層 5 からなる、実質的に S u p e r J u n c t i o n 構造と同じ役割を果たす半導体構造に変える。

【選択図】 図 4

認定・付加情報

特許出願の番号	特願 2001-285472
受付番号	50101381952
書類名	特許願
担当官	第五担当上席 0094
作成日	平成13年 9月25日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000003078
【住所又は居所】	東京都港区芝浦一丁目1番1号
【氏名又は名称】	株式会社東芝

【代理人】

申請人

【識別番号】	100058479
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮内外 國特許法律事務所内
【氏名又は名称】	鈴江 武彦

【選任した代理人】

【識別番号】	100084618
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮内外 國特許法律事務所内
【氏名又は名称】	村松 貞男

【選任した代理人】

【識別番号】	100068814
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮内外 國特許法律事務所内
【氏名又は名称】	坪井 淳

【選任した代理人】

【識別番号】	100092196
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮内外 國特許法律事務所内
【氏名又は名称】	橋本 良郎

【選任した代理人】

【識別番号】	100091351
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮内外 國特許法律事務所内

次頁有

認定・付加情報 (続き)

【氏名又は名称】 河野 哲
【選任した代理人】
【識別番号】 100088683
【住所又は居所】 東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮内外
国特許法律事務所内
【氏名又は名称】 中村 誠
【選任した代理人】
【識別番号】 100070437
【住所又は居所】 東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮内外
国特許法律事務所内
【氏名又は名称】 河井 将次

次頁無

特願 2 0 0 1 - 2 8 5 4 7 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝